

## METHOD OF MANUFACTURING SOI SUBSTRATE

Publication number: JP2002134724

Publication date: 2002-05-10

Inventor: SUDO MITSURU; NAKAI TETSUYA; TOMIZAWA KENJI

Applicant: MITSUBISHI MATERIAL SILICON

Classification:

- international: H01L21/762; H01L21/02; H01L27/12; H01L21/70;  
H01L21/02; H01L27/12; (IPC1-7): H01L27/12;  
H01L21/762

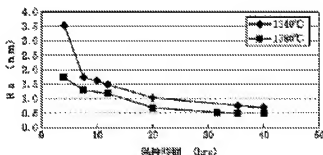
- european:

Application number: JP20000323462 20001024

Priority number(s): JP20000323462 20001024

### Abstract of JP2002134724

**PROBLEM TO BE SOLVED:** To reduce through dislocation in an SOI layer and an interface defect, produced in the SOI layer at the interface between the SOI layer and an embedded oxide layer and to improve roughness on the surface of the embedded oxide layer. **SOLUTION:** A method of manufacturing an SOI substrate includes the steps of implanting oxygen ions of high concentration into a single-crystal silicon substrate, and then annealing the single-crystal silicon substrate, into which the oxygen ions are implanted at a temperature range of 1,300 to 1,420 deg.C for 10 to 35 hours, in a mixed gas atmosphere of argon and oxygen to make silicon react with oxygen to thereby form an embedded oxide layer in the silicon substrate.



.....  
Data supplied from the *esp@cenet* database - Worldwide

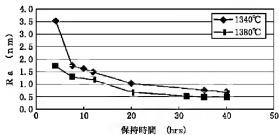
(51) Int.Cl. <sup>7</sup>	識別記号	F I	データベース (参考)
H 0 1 L 27/12		H 0 1 L 27/12	E 5 F 0 3 2
21/762		21/76	D
審査請求 未請求 請求項の数 1 O L (全 5 頁)			
(21) 出願番号	特願2000-323462 (P2000-323462)	(71) 出願人	000228925 三菱マテリアルシリコン株式会社 東京都千代田区大手町一丁目3番1号
(22) 出願日	平成12年10月24日 (2000.10.24)	(72) 発明者	須藤 充 東京都千代田区大手町一丁目3番1号 三 菱マテリアルシリコン株式会社内
		(73) 発明者	中井 哲弥 東京都千代田区大手町一丁目3番1号 三 菱マテリアルシリコン株式会社内
		(74) 代理人	10008372 弁理士 須田 正義
最終頁に続く			

## (54) 【発明の名称】 S O I 基板の製造方法

## (57) 【要約】

【課題】 S O I 層中の貫通転位と、S O I 層と埋込み酸化層の界面の S O I 層中に発生する界面欠陥とを低減し得る。埋込み酸化層表面のラフネスを向上し得る。

【解決手段】 単結晶シリコン基板中に高濃度の酸素イオンを注入し、酸素イオンを注入した単結晶シリコン基板をアルゴンと酸素の混合ガス雰囲気下、1300〜1420℃で10〜35時間保持する高温アニール処理を施してシリコンと酸素を反応させてシリコン基板内部に埋込み酸化層を形成する S O I 基板の製造方法である。



## 【特許請求の範囲】

【請求項1】 単結晶シリコン基板中に高濃度の酸素イオンを注入し、

前記酸素イオンを注入した単結晶シリコン基板を高温アニール処理してシリコンと酸素を反応させてシリコン基板内部に埋込み酸化層を形成するSOI基板の製造方法において、

高温アニール処理をアルゴンと酸素の混合ガス雰囲気下、1300～1420℃で10～35時間保持することとを特徴とするSOI基板の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、シリコン基板中に絶縁層が埋設されたSOI (Silicon-On-Insulator) 基板の製造方法に関する。更に詳しくはSIMOX (Separation by Implanted Oxygen) 技術によるSOI基板の製造方法に関するものである。

## 【0002】

【従来の技術】SOI基板を製造する一つの方法であるSIMOX法は、シリコン基板の内部に絶縁層を埋込む方法である。具体的には、図3(a)に示すように、SOI基板1はシリコン基板2の内部に高濃度の酸素イオンを注入した後、高温でアニール処理して、シリコン基板2の表面から所定の深さの領域に埋込み酸化層3を形成し、その表面側のSOI層2aを活性領域とする方法である。

【0003】従来より、単結晶シリコン基板中に埋込み酸化層を形成するために必要な高温アニール処理は900、5～999、0容積%のアルゴンと0.5～1.0容積%の酸素の混合ガス雰囲気中、1100～1300℃で1～5時間保持するが一般的である。1100～1300℃で1～5時間保持すれば、イオン注入された酸素と単結晶シリコン基板内部に注入された酸素イオン近傍に位置するケイ素が反応して、単結晶シリコン基板内部に埋込み酸化層を形成することができる。

## 【0004】

【発明が解決しようとする課題】しかし、従来よりSOI基板の製造方法では、イオン注入によりシリコン基板には格子間Si原子( $I_{Si}$ )と空孔が導入され、また基板内部で埋込み酸化層3が形成されるときの酸化反応によってSOI層2a/埋込み酸化層3/シリコン基板2の各界面近傍には $I_{Si}$ が放出される。これらの $I_{Si}$ は、図3(b)に示すように、SOI基板中に高密度に導入される貫通転位4の原因となっていた。

【0005】また、埋込み酸化層3の形成途中段階では、イオン注入された酸素の高濃度領域で酸素析出物が形成される。この酸素析出物はオストワルド成長現象に従うため、温度及び時間に依存して析出物同士の合体が起こり、安定に存在できる大きさ(臨界半径)以上のものは更に成長して埋込み酸化層となり、臨界半径未満

の微小な析出物は縮小消滅する。このオストワルド成長とは、微小な粒子が分散している系において、粒子の表面及び界面エネルギーが駆動力となり、より小さな粒子が縮小して消滅し、より大きな粒子が成長する現象であり、系全体がより平衡状態に達したときに起こり、時間とともに粒子の全体積は変わらずに粒子の数が減り平均寸法がゆっくりに増加する。

【0006】イオン注入された酸素の高濃度領域とともにSOI層と埋込み酸化層近傍のイオン注入を起因とする欠陥の高密度領域においても酸素析出物が形成され、イオン注入された酸素の高濃度領域と同様にオストワルド成長過程を経る。しかし、イオン注入を起因とする欠陥領域で形成した析出物は、安定に存在できる大きさである臨界半径未満であるため、最終的には消滅する。この酸素析出物の消滅にはシリコン原子が消費されるため、消費されたシリコンが存在していた場所には空孔が形成される。この空孔の集合体がSOI層と埋込み酸化層の界面に形成される界面欠陥6となっていた。また、アニール時の保持時間が短いと、埋込み酸化層形成途中段階でのオストワルド成長に起因して析出物の合体が不十分となるため、形成される埋込み酸化層表面のラフネスが大きくなる問題があった。

【0007】本発明の目的は、SOI層中の貫通転位と、SOI層と埋込み酸化層の界面のSOI層中に発生する界面欠陥とを低減し得るSOI基板の製造方法を提供することにある。本発明の別の目的は、埋込み酸化層表面のラフネスを向上し得るSOI基板の製造方法を提供することにある。

## 【0008】

【課題を解決するための手段】請求項1に係る発明は、単結晶シリコン基板中に高濃度の酸素イオンを注入し、酸素イオンを注入した単結晶シリコン基板を高温アニール処理してシリコンと酸素を反応させてシリコン基板内部に埋込み酸化層を形成するSOI基板の製造方法において、高温アニール処理をアルゴンと酸素の混合ガス雰囲気下、1300～1420℃で10～35時間保持することを特徴とするSOI基板の製造方法である。請求項1に係る発明では、高温アニール処理をアルゴンと酸素の混合ガス雰囲気下、1300～1420℃で10～35時間保持すること、埋込み酸化層の形成途中段階で形成された酸素析出物同士の合体を十分に引き、埋込み酸化層表面のラフネスを向上させる。また1300℃以上の温度では、酸素析出物同士の合体に伴い、SOI層と埋込み酸化層との界面近傍ではシリコン原子及び酸素原子の形成や移動が容易に行われるため、空孔集合体である界面欠陥にシリコン原子を供給させて界面欠陥を低減できる。更に $I_{Si}$ の集合体である貫通転位にも酸素原子を供給し、酸素と $I_{Si}$ を反応させ、貫通転位を低減できる。

## 【0009】

【発明の実施の形態】次に本発明の実施の形態について説明する。本発明の特徴ある構成は、高温アニール処理をアルゴンと酸素の混合ガス雰囲気下、1300～1420℃で10～35時間保持することである。アニール時における保持時間は10～35時間である。好ましくは15～30時間である。保持時間が10時間未満であると、埋込み酸化層形成途中段階でのSOI層と埋込み酸化層近傍における酸素析出物同士の合体が十分に行われないため、埋込み酸化層表面のラフネスが大きくなる。また、酸素析出物同士の合体が十分であるため、欠陥の低減に必要なシリコン原子及び酸素原子が欠陥領域に十分に供給されず、SOI層中の貫通転位及び界面欠陥が低減されにくくなる。保持時間が35時間を越え、欠陥の低減に必要なシリコン原子及び酸素原子が欠陥領域に十分に供給されず、SOI層中の貫通転位及び界面欠陥の欠陥密度に変化が見られなくなる。アニール処理温度は1300℃～1420℃である。1350～1400℃が好ましい。アニール処理温度が1300℃未満であると、シリコン原子及び酸素原子の形成や移動が容易に行われない。1420℃を越え、シリコンの融点以上の温度となるため、シリコン基板が溶解してしまう。

【0010】本発明の実施の形態では、まずシリコン基板を用意し、この基板を500～650℃に加熱しながら加速電圧、ビーム電流及びドーズ量（注入量）をそれぞれ調整して、シリコン基板に酸素イオンを注入する。次いで、酸素イオン注入したシリコン基板を99.5～99.99.0容積％のアルゴンと0.5～1.0容積％の酸素の混合ガス雰囲気下、1300℃～1420℃で10～35時間程度アニール処理を行う。このアニール処理により所定の領域にイオン注入された酸素と単結晶シリコン基板内部に注入された酸素イオン近傍に位置するケイ素が反応して、単結晶シリコン基板内部に埋込み酸化層を形成する。

【0011】この埋込み酸化層の形成では1300～1420℃の高温でアニール処理することにより、シリコン原子及び酸素原子の形成や移動を容易に行わせることができるため、空孔集合体である貫通転位にシリコン原子を供給して低減できる。また $I_{11}$ の集合体である貫通転位にも酸素原子を供給し易くなったため、酸素と $I_{11}$ を反応させることにより、貫通転位が低減できる。更に、アニールの保持時間を従来に比べて長くしたため、酸素析出物の合体を十分に行わせることにより、SOI層と埋込み酸化層の界面近傍における界面欠陥が低減するため形成される埋込み酸化層表面のラフネスが低減できる。上記方法によりSOI層中の貫通転位と、SOI層と埋込み酸化層の界面のSOI層中に発生する界面欠

陥とを低減し、かつ埋込み酸化層表面のラフネスを向上したSOI基板を製造することができる。

#### 【0012】

【実施例】次に本発明の実施例を説明する。

＜実施例1＞厚さ725 $\mu$ mの8インチの単結晶シリコン基板を準備した。このシリコン基板の表面からシリコン基板内部に酸素イオンを次の条件で注入した。

加速電圧： 185 keV

ビーム電流： 50～60 mA

ドーズ量： 4.0 $\times 10^{17}$ /cm<sup>2</sup>

基板加熱温度： 550℃

酸素イオン注入後に、シリコン基板を99容積％のアルゴンと1容積％の酸素の混合ガス雰囲気中でシリコン基板を高温アニール処理した。即ち、5℃/minで1340℃まで昇温し、そこで10時間保持して5℃/minで室温まで冷却した。この高温アニール処理によりシリコン基板内部に埋込み酸化層を形成して所望のSOI基板を得た。

【0013】＜実施例2＞保持時間を12時間とした以外は実施例1と同一のシリコン基板を用意し、実施例1と同様の条件でアニール処理した。

＜実施例3＞保持時間を20時間とした以外は実施例1と同一のシリコン基板を用意し、実施例1と同様の条件でアニール処理した。

＜実施例4＞保持時間を35時間とした以外は実施例1と同一のシリコン基板を用意し、実施例1と同様の条件でアニール処理した。

【0014】＜実施例5＞アニール温度を1380℃とした以外は実施例1と同一のシリコン基板を用意し、実施例1と同様の条件でアニール処理した。

＜実施例6＞アニール温度を1380℃、保持時間を20時間とした以外は実施例1と同一のシリコン基板を用意し、実施例1と同様の条件でアニール処理した。

＜実施例7＞アニール温度を1380℃、保持時間を32時間とした以外は実施例1と同一のシリコン基板を用意し、実施例1と同様の条件でアニール処理した。

＜実施例8＞アニール温度を1380℃、保持時間を35時間とした以外は実施例1と同一のシリコン基板を用意し、実施例1と同様の条件でアニール処理した。

【0015】＜比較例1＞保持時間を4時間とした以外は実施例1と同一のシリコン基板を用意し、実施例1と同様の条件でアニール処理した。

＜比較例2＞保持時間を8時間とした以外は実施例1と同一のシリコン基板を用意し、実施例1と同様の条件でアニール処理した。

＜比較例3＞保持時間を40時間とした以外は実施例1と同一のシリコン基板を用意し、実施例1と同様の条件でアニール処理した。

【0016】＜比較例4＞アニール温度を1380℃、保持時間を4時間とした以外は実施例1と同一のシリ

ン基板を用い、実施例1と同様の条件でアニール処理した。

＜比較例5＞アニール温度を1380℃、保持時間を8時間とした以外は実施例1と同一のシリコン基板を用い、実施例1と同様の条件でアニール処理した。

＜比較例6＞アニール温度を1380℃、保持時間を40時間とした以外は実施例1と同一のシリコン基板を用い、実施例1と同様の条件でアニール処理した。

【0017】＜比較評価1＞実施例1～8及び比較例1～6のアニール処理されたSOI基板を原子間力顕微鏡(AFM, Atomic Force Microscope)を用いて、10×10μmにおける埋込み酸化層表面の平均ラフネス(Ra)を測定した。表1にそれぞれ示す。また、図1にアニール保持時間における埋込み酸化層表面の平均ラフネスを示す。

【0018】

【表1】

	アニール温度 [℃]	保持時間 [hr]	埋込み酸化層表面の平均ラフネスRa [nm]
実施例1	1340	10	1.60
// 2	1340	12	1.49
// 3	1340	20	1.02
// 4	1340	35	0.79
// 5	1380	10	1.21
// 6	1380	20	0.69
// 7	1380	32	0.53
// 8	1380	35	0.49
比較例1	1340	4	3.54
// 2	1340	8	1.65
// 3	1340	40	0.76
// 4	1380	4	1.67
// 5	1380	8	1.35
// 6	1380	40	0.47

表1及び図1より明らかなように、比較例1～6に比べて実施例1～8ではSOI基板内部に形成された埋込み酸化層表面の平均ラフネスRaは向上していることが判る。

【0019】＜比較評価2＞実施例6、7及び比較例4のSOI基板を劈開し、その断面をエッチングした。エッチングにはEnhanced Chemical Etching (Modified See

co etching、(HF:K<sub>2</sub>Cr<sub>2</sub>O<sub>7</sub>(0.15mol/l)=1:1の混合液によるエッチング)を行った後に、HFでエッチングする手法)を用いた。このエッチング面を光学顕微鏡で観察した。図2にSOI層と埋込み酸化層の界面からのSOI層中の深さ方向の欠陥密度を示す。なお、図2のSOI層0nmはSOI層と埋込み酸化層との界面を示す。

【0020】図2より明らかなように、SOI層と埋込み酸化層の界面近傍である0～70nmの範囲は界面欠陥と貫通転位が混在しているため、70nm以上の貫通転位のみに存在している範囲よりも欠陥密度が高い。比較例4に比べ実施例6、7ではこの界面欠陥と貫通転位が混在している範囲及び貫通転位のみに存在している範囲で欠陥密度が低く、貫通転位とSOI層と埋込み酸化層の界面近傍の界面欠陥がともに低減されていることが判る。

【0021】

【発明の効果】以上述べたように、本発明によれば、単結晶シリコン基板中に高濃度の酸素イオンを注入し、酸素イオンを注入した単結晶シリコン基板を高温アニール処理してシリコンと酸素を反応させてシリコン基板内部に埋込み酸化層を形成するSOI基板の製造方法において、高温アニール処理をアルゴンと酸素の混合ガス雰囲気下、1300～1420℃で10～35時間保持することにより、SOI層中の貫通転位と、SOI層と埋込み酸化層の界面のSOI層中に発生する界面欠陥とを低減することができる。その結果、界面欠陥に起因する埋込み酸化層表面のラフネスを向上できる。

【図面の簡単な説明】

【図1】アニール保持時間における埋込み酸化層表面の平均ラフネスを示す図。

【図2】SOI層と埋込み酸化層の界面からのSOI層中の欠陥密度を示す図。

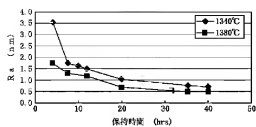
【図3】(a) SOI基板の断面図。

(b) 従来のアニール処理により欠陥が形成されたSOI基板の断面図。

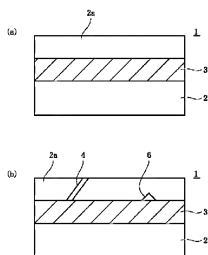
【符号の説明】

- 1 SOI基板
- 2 シリコン基板
- 2a SOI層
- 3 埋込み酸化層
- 4 貫通転位
- 6 界面欠陥

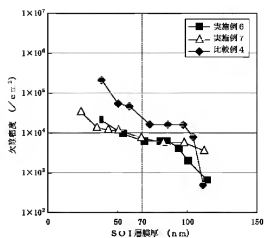
【図1】



【図3】



【図2】



フロントページの続き

(72)発明者 富澤 憲治  
東京都千代田区大手町1丁目5番1号 三  
菱マテリアルシリコン株式会社内

Fターム(参考) 5F032 AA91 DA53 DA60 DA74